

INF-120



PATENT

IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

M. PROELL ET AL.

Serial No. 10/733,332

Art Unit: 2818

Filed: December 12, 2003

Examiner: Unknown

For: INTEGRATED DRAM SEMICONDUCTOR MEMORY AND METHOD  
FOR OPERATING THE SAME

**CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**

Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

German Patent Appln. No. 102 58 168.1 filed December 12, 2002

In support of this claim, filed herewith is a certified copy of said foreign application.

Respectfully submitted,

By:

Michael A. Oblon  
Reg. No. 42,956

Date: June 7, 2004  
SHAW PITTMAN LLP  
1650 Tysons Boulevard  
McLean, VA 22102  
Tel: (703) 770-7645

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 58 168.1

**Anmeldetag:** 12. Dezember 2002

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Integrierter Halbleiterspeicher und Verfahren zum  
Betrieb desselben

**IPC:** G 11 C 7/12

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 09. Januar 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

A handwritten signature in black ink, consisting of a stylized 'W' followed by a horizontal line.

Holz

# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12357

Ko/Ant/mk

Anmelderzeichen: 2002P13854  
(2002 E 13853 DE)

12.12.2002

## **Infineon Technologies AG**

St.-Martin-Straße 53  
81669 München

---

**Integrierter Halbleiterspeicher und  
Verfahren zum Betrieb desselben**

---

---

Beschreibung

Integrierter Halbleiterspeicher und Verfahren zum Betrieb desselben

5

10

Die Erfindung betrifft einen integrierten Halbleiterspeicher, insbesondere DRAM-Speicher mit in Spaltenrichtung segmentierten lokalen Datenleitungen, die von einem CSL-Schalter auf ein über eine in Zeilenrichtung laufende CSL-Leitung zugeführtes Column-Select-Signal mit primären Senseverstärkern zur Übergabe bzw. Übernahme gespreizter Datensignale auf bzw. von Bitleitungen des jeweiligen Segments jeweils in einem Schreibzyklus und Lesezyklus verbindbar sind und ein Verfahren zum Betrieb desselben.

15

20

25

Damit in integrierten Halbleiterspeichern, insbesondere dynamischen Speicherbausteinen (DRAMs) in einem Lesezyklus die bewerteten Bitleitungspegel an den Chipausgang transportiert werden können, werden die von einem primären Senseverstärker gespreizten Bitleitungssignale über CSL-Schalter in einer ersten Stufe auf so genannte lokale Datenleitungen (LDQs) geschaltet. Aus Stromspargründen und damit der die Bitleitungen BL spreizende primäre Senseverstärker die Bitleitungssignale innerhalb kurzer Zeit auf der LDQ treiben kann, wird üblicherweise die umzuladende Kapazität der LDQs durch eine Segmentierung bzw. Aufteilung derselben reduziert.

30

35

Beiliegende Fig. 1 zeigt einen Abschnitt eines Zellenfeldes eines herkömmlichen DRAM-Speichers mit zwei Zellenblöcken 20, 21. Zwischen den Zellenblöcken befindet sich ein so genannter SA-Streifen 22, in dem die erwähnten primären Senseverstärker (SA) 1, die CSL-Schalter 3, die segmentierten lokalen Datenleitungen LDQT, LDQC und MDQ-Schalter 5 angeordnet sind. Dargestellt sind in Fig. 1 beispielhaft drei LDQ-Segmente, die mit I, II und III bezeichnet sind. Komplementäre Bitleitungen BLT, BLC, die in jedem Zellenblock 20, 21 in Zeilen-

richtung X verlaufen sind an die primären SAs 1 angeschlos-  
sen. Jeder SA gibt bei Ansteuerung des zugeordneten CSL-  
Schalters 3 durch ein von einem CSL-Treiber 4 erzeugtes CSL-  
Steuersignal bei einem Lesevorgang die Bitleitungspotentiale  
5 an die lokalen Datenleitungen LDQT und LDQC ab. Zu diesem  
Zeitpunkt sind die lokalen Datenleitungen LDQT, LDQC bereits  
durch den MDQ-Schalter 5 mit einer zugehörigen Hauptdatenlei-  
tung MDQT, MDQC verbunden, die wiederum mit einem sekundären  
Senseverstärker (SSA) 2 verbunden ist. Somit sind entlang  
10 einer in Fig. 1 nicht gezeigten in Spaltenrichtung Y laufen-  
den Wortleitung in jedem Zellenblock 20, 21 mehrere LDQ-  
Segmente I, II, III gebildet, und die so segmentierten loka-  
len Datenleitungen LDQT, LDQC sind zeitweise, das heißt wäh-  
rend eines Lesezyklus und eines Schreibzyklus über die MDQ-  
15 Schalter 5 mit einer allen lokalen Datenleitungen eines LDQ-  
Segments gemeinsamen Hauptdatenleitung MDQT, MDQC und über  
diese mit dem SSA 2 verbunden. Es ist zu erwähnen, dass die  
Bitleitungen BLT, BLC, die primären Senseverstärker 1, die  
CSL-Schalter 3, die lokalen Datenleitungen LDQT, LDQC, die  
20 MDQ-Schalter 5 und die Hauptdatenleitungen MDQT, MDQC zur  
Führung bzw. Durchschaltung differentieller bzw. komplementä-  
rer Datensignale eingerichtet sind.

Beiliegende Fig. 3A zeigt einen zeitlichen Ablauf eines typi-  
25 schen Schreib-Lesezyklus anhand der Potentiale auf den ver-  
bundenen Hauptdatenleitungen MDQT, MDQC und lokalen Datenlei-  
tungen LDQT, LDQC. Beim Schreiben spreizt der SSA 2 die  
MDQ/LDQ-Leitungen auf den vollen Bitleitungspegel  $V_{b1h}$  und  
durch ein kurzes impulsförmiges CSL-Signal werden die Poten-  
30 tiale auf die Bitleitungen BLT, BLC geschrieben, wobei unter  
Umständen der SA 1 überschrieben (gekippt) wird. Sofort nach  
Beendigung des CSL-Impulssignals wird mit dem Precharge der  
MDQ/LDQ-Leitungen begonnen, um bei einem Lesebefehl durch ein  
erneutes CSL-Impulssignal im gleichen LDQ-Segment die  
35 MDQ/LDQ-Leitungen auf gleichem Potential vorzufinden. Dieser  
Prechargevorgang wird durch eine am sekundären Senseverstär-

ker 2 im Chipgürtel angeordnete Equalize (EQL)-  
Steuerschaltung 6 auf ein Precharge-Steuersignal 13 hin  
durchgeführt. Der Prechargepegel ist kein Mittenpegel sondern  
der volle Bitleitungspegel  $V_{blh}$  auf der wahren und komplementären  
Leitung MDQT, MDQC und LDQT, LDQC. In Fig. 3A ist zu  
5 erkennen, dass eine Verkürzung der externen Zykluszeit oder  
eine Erhöhung der Zyklusfrequenz beim Absetzen der Schreib-  
Lese-Befehle einer Verkürzung der Prechargezeit  $t_{precharge}$   
gleich kommt, da die Länge des CSL-Impulssignals konstant  
10 bleibt. Durch prozesstechnisch bedingte, teilweise hochohmige  
Kontakte innerhalb der MDQ-Schalter 5 kann sich der auf den  
Hauptdatenleitungen MDQT, MDQC durchgeführte Precharge nur  
zeitverzögert auf die lokalen Datenleitungen LDQT, LDQC aus-  
wirken. Dies kann aber, geht man von invertierten (logischen)  
15 Daten zwischen Schreib- und Lesekommando aus, dazu führen,  
dass das auf der Bitleitung BLT, BLC beim Lesevorgang durch  
den primären Senseverstärker 1 über den CSL-Schalter 3 auf  
die lokalen Datenleitungen LDQT und LDQC geschaltete Signal  
nicht stark genug ist, um ein ausreichendes Differenzsignal  
20 auf den komplementären lokalen Datenleitungen LDQT, LDQC zu  
erzeugen. Dies kann zu einer falschen Bewertung des sekundä-  
ren Senseverstärkers führen. Im schlimmsten Fall sind die  
komplementären lokalen Datenleitungen LDQT, LDQC noch voll  
gespreizt (ein Precharge konnte noch nicht stattfinden), wenn  
25 das CSL-Impulssignal des Lesebefehls kommt. Dies führt analog  
zu einem Schreibbefehl zum Kippen des SA 1 und damit zum  
Rückschreiben der falschen Dateninformation. Problematisch  
ist dabei vor allem, dass pro LDQ-Segment nur ein MDQ-  
Schalter 5 eingesetzt wird, um den LDQ-Precharge durchzu-  
30 schalten. Daraus resultiert eine hohe Anfälligkeit, die den  
Halbleiterspeicherbaustein jenseits der Reparaturgrenze aus-  
fallen lässt.

Es ist deshalb Aufgabe der Erfindung, einen gattungsgemäßen  
35 integrierten Halbleiterspeicher, insbesondere DRAM-Speicher  
und ein Verfahren zum Betrieb desselben so anzugeben, dass

die allgemeine Prechargeperformance der Hauptdatenleitungen MDQ und der lokalen Datenleitungen LDQ verbessert sowie die Abhängigkeit von den Einzel-MDQ-Schaltern 5 geringer wird.

5 Diese Aufgabe wird anspruchsgemäß gelöst.

Gemäß einem ersten wesentlichen Aspekt ist ein integrierter Halbleiterspeicher, insbesondere DRAM-Speicher erfindungsgemäß dadurch gekennzeichnet, dass an den Schnittstellen zwischen allen benachbarten Segmenten der lokalen Datenleitungen zu ihrer Verbindung mit den lokalen Datenleitungen benachbarter Segmente LDQ-Schalter angeordnet sind, die abhängig von einem jedem dieser LDQ-Schalter separat zugeführten Steuersignal während einer vor jedem Lesezyklus stattfindenden Prechargephase wenigstens zweier benachbarter LDQ-Segmente geschlossen und sonst geöffnet sind.

Zur Erzeugung eines jeden LDQ-Schalter ansteuernden Steuersignals sind UND-Glieder vorgesehen, die die den EQL-Steuerschaltungen wenigstens zweier benachbarter LDQ-Segmente zugeführten Precharge-Steuersignale verknüpfen.

Gemäß einem zweiten wesentlichen Aspekt erzielt die Erfindung ein Verfahren zum Betrieb eines integrierten Halbleiterspeichers, insbesondere DRAM-Speichers mit in Spaltenrichtung segmentierten lokalen Datenleitungen und in Zeilenrichtung laufenden Hauptdatenleitungen, wobei jede Hauptdatenleitung allen lokalen Datenleitungen eines LDQ-Segments gemeinsam ist und die lokalen Datenleitungen von einem CSL-Schalter auf ein diesem zugeführtes Column-Select-Signal in einem Lesezyklus und einem Schreibzyklus mit einem primären Senseverstärker zum Lesen/Schreiben gespreizter Daten verbunden werden, wobei dieses Verfahren dadurch gekennzeichnet ist, dass die lokalen Datenleitungen wenigstens zweier benachbarter LDQ-Segmente während einer Prechargephase vor einem durch eine Aktivierung

des CSL-Schalters mittels des Column-Select-Signals aktivierten Lesezyklus miteinander verbunden werden.

5 Durch die Verbindung der lokalen Datenleitungen von wenigstens zwei benachbarten LDQ-Segmenten mit dem LDQ-Schalter wird erreicht, dass in der Prechargephase die lokale Datenleitung eines LDQ-Segments über mindestens zwei anstatt einen MDQ-Schalter vorgeladen (Precharge) wird. Da sich die benachbarten LDQ-Segmente bereits schon länger im Precharge befinden, unterstützen diese den Ladungsausgleich und entschärfen  
10 so den hinsichtlich der Prechargezeit kritischen Lesezugriff auf das gleiche LDQ-Segment mit invertierten Daten gegenüber dem vorhergehenden Schreibbefehl auf das gleiche LDQ-Segment mit invertierten Daten gegenüber dem vorhergehenden Schreibbefehl.  
15

Die obigen und weitere vorteilhafte Merkmale werden in der nachfolgenden Beschreibung eines bevorzugten Ausführungsbeispiels eines integrierten Halbleiterspeichers, insbesondere  
20 DRAM-Speichers und eines Verfahrens zum Betrieb desselben noch deutlicher. Die Beschreibung bezieht sich auf die beiliegende Zeichnung, deren Figuren im Einzelnen zeigen:

- Fig. 1 schematisch und teilweise als Blockdiagramm eine Struktur eines Abschnitts eines herkömmlichen DRAM-Speichers (eingangs bereits beschrieben);  
25
- Fig. 2 schematisch und teilweise als Blockdiagramm die Struktur eines Abschnitts eines erfindungsgemäß gestalteten DRAM-Speichers;  
30
- Fig. 3A den zeitlichen Ablauf eines üblichen Schreib-Lesezyklus anhand der Potentiale auf den verbundenen MDQ/LDQ-Leitungen (eingangs bereits beschrieben) und  
35



Fig. 3B      den zeitlichen Ablauf eines Schreib-Lesezyklus  
gemäß der Erfindung.

In Fig. 2, die schematisch und teilweise als Blockschaltbild  
einen Abschnitt eines erfindungsgemäß gestalteten DRAM-Spei-  
5 chers zeigt, sind die mit 10 bezeichneten LDQ-Schalter im SA-  
Streifen 22 jeweils zwischen benachbarten LDQ-Segmenten I,  
II, III angeordnet und verbinden auf ein über eine an jedem  
LDQ-Schalter separat anschließende Leitung 12 zugeführtes  
10 Steuersignal hin die lokalen Datenleitungen LDQT und LDQC von  
zwei benachbarten LDQ-Segmenten. Es ist zu bemerken, dass die  
LDQ-Schalter 10 und als FET-Transistorschalterpaare mit ge-  
meinsamem Gateanschluss realisiert sind, an den die das Steu-  
ersignal zuführende Leitung 12 angeschlossen ist. Zur Erzeu-  
15 gung dieses Steuersignals sind im Chipgürtel UND-Glieder 11  
angeordnet, die die EQL-Steuersignale 13 von zwei benachbar-  
ten EQL-Steuerschaltungen 6 und-verknüpfen. Mit den in Fig. 2  
dargestellten erfindungsgemäßen zusätzlichen Elementen 10 und  
11 wird, wie erwähnt, die Prechargeperformance verbessert. In  
20 allen anderen Details stimmt der in Fig. 2 gezeigte DRAM-  
Speicher mit dem zuvor erläuterten und in Fig. 1 gezeigten  
überein. Anhand der Fig. 3B, die den zeitlichen Ablauf eines  
erfindungsgemäßen Schreib-Lesezyklus zeigt, wird nun das  
erfindungsgemäße Verfahren zum Betrieb des oben erläuterten  
25 und in Fig. 2 gezeigten DRAM-Speichers erläutert.

In Fig. 3B, die den Zeitablauf eines Schreib-Lesezyklus mit  
den Potentialen auf den bei durchgeschaltetem MDQ-Schalter 5  
mit den lokalen Datenleitungen LDQT, LDQC verbundenen Haupt-  
30 datenleitungen MDQT und MDQC zeigt, erfolgt nach dem während  
des Schreibens ergehenden CSL-Impulssignal der Prechargevor-  
gang, der durch die EQL-Steuerschaltung 6 durchgeführt wird.  
Der Prechargepegel ist kein Mittenpegel sondern der volle  
Bitleitungspegel  $V_{b1h}$  sowohl auf den wahren Leitungen  
35 MDQT/LDQT und den komplementären Leitungen MDQC/LDQC. Erfin-  
dungsgemäß werden nun während der Prechargephase die lokalen

Datenleitungen LDQT einerseits und LDQC andererseits zweier benachbarter LDQ-Segmente durch die gepaarten FET-Transistor-schalter des LDQ-Schalters 10 miteinander verbunden. Dadurch werden während der Prechargephase die lokalen Datenleitungen LDQT und LDQC von mindestens zwei EQL-Steuerschaltungen 6 zweier benachbarter LDQ-Segmente über die zugehörigen Hauptdatenleitungen und die durchgeschalteten MDQ-Schalter 5 vorgeladen (precharge). Da sich die Nachbar-LDQ-Segmente bereits schon länger im Precharge befinden, unterstützen diese den Ladungsausgleich und entschärfen so den hinsichtlich der Prechargezeit kritischen Lesezugriff auf das gleiche LDQ-Segment mit gegenüber dem vorangehenden Schreibvorgang invertierten Daten. Das jedem LDQ-Schalter 10 zugeordnete UND-Glied 11 verknüpft im Ausführungsbeispiel die die Prechargephase steuernden Precharge-Steuersignale 13 von den beiden benachbarten EQL-Steuerschaltungen 6.

In Fig. 3B zeigt eine dick ausgezogene Kurve L die neue Prechargeladefunktion mit der verkürzten neuen Prechargezeit  $t_{\text{precharge}}$  (neu). Die Verkürzung der Prechargezeit führt dazu, dass der Halbleiterspeicherbaustein mit höheren Frequenzen betrieben werden kann, bevor er bedingt durch den MDQ/LDQ-Precharge ausfällt. Diese Maßnahme wirkt sich somit in einer Verbesserung der Ausbeute funktionsfähiger Produkte und in einer Erhöhung der Toleranz zur Spezifikation aus.

---

Patentansprüche

1. Integrierter Halbleiterspeicher, insbesondere DRAM-Speicher mit in Spaltenrichtung (Y) segmentierten lokalen Datenleitungen (LDQT, LDQC), die von einem CSL-Schalter (3) auf  
5 ein über eine in Zeilenrichtung (X) laufende CSL-Leitung (CSL) zugeführtes Column-Select-Signal mit primären Senseverstärkern zur Übergabe bzw. Übernahme gespreizter Datensignale auf bzw. von Bitleitungen (BLT, BLC) des jeweiligen Segments  
10 (I, II, III) jeweils in einem Schreibzyklus und Lesezyklus verbindbar sind,

d a d u r c h g e k e n n z e i c h n e t ,  
dass an den Schnittstellen zwischen allen benachbarten Segmenten der lokalen Datenleitungen (LDQT, LDQC) zu ihrer Verbindung mit den lokalen Datenleitungen (LDQT, LDQC) benachbarter Segmente (I, II, III) LDQ-Schalter (10) angeordnet  
15 sind, die abhängig von einem jedem dieser LDQ-Schalter (10) separat zugeführten Steuersignal (12) während einer vor jedem Lesezyklus stattfindenden Prechargephase wenigstens zweier  
20 benachbarter LDQ-Segmente geschlossen und sonst geöffnet sind.

2. Integrierter Halbleiterspeicher nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t ,  
25 dass jedem LDQ-Schalter (10) ein UND-Glied (11) zugeordnet ist, um die Prechargephasenbedingung der wenigstens zwei benachbarten LDQ-Segmente logisch zu verknüpfen und daraus das Steuersignal (12) für den jeweiligen LDQ-Schalter (10) zu erzeugen.

3. Integrierter Halbleiterspeicher nach Anspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass alle lokalen Datenleitungen (LDQT, LDQC) eines Segments über einen MDQ-Schalter (5) mit einer in Zeilenrichtung (X)  
35 laufenden allen lokalen Datenleitungen eines Segments (I, II, III) gemeinsamen Hauptdatenleitung (MDQT, MDQC) und mit einem

sekundären Senseverstärker (2) zur Übernahme/Übergabe gespreizter Datensignale (DQT, DQC) in einem Schreibzyklus bzw. Lesezyklus verbindbar sind.

5 4. Integrierter Halbleiterspeicher nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass Zellenfelder des Halbleiterspeichers in Zeilenrichtung (X) in einzelne Zellenblöcke (20, 21) unterteilt sind, zwi-

10 schen denen in Spaltenrichtung (Y) jeweils ein Senseverstärkerstreifen (22) mit den primären Senseverstärkern (1) und den zugehörigen CSL-Schaltern (3) verlaufen, wobei die lokalen Datenleitungen (LDQT, LDQC), die MDQ-Schalter (5) und die

LDQ-Schalter (10) ebenfalls in diesem Senseverstärkerstreifen

15 (22) und die sekundären Senseverstärker (2) und die das Steuersignal (12) erzeugenden UND-Glieder (11) in einem Chipgürtel des integrierten Halbleiterspeichers angeordnet sind.

5. Integrierter Halbleiterspeicher nach einem der vorangehenden Ansprüche,

20

d a d u r c h g e k e n n z e i c h n e t ,

dass die Schreib- und Lesedaten komplementäre Daten sind und

dass jeweils die lokalen Datenleitungen (LDQT, LDQC) und die Hauptdatenleitungen (MDQT, MDQC) als komplementäre Datenlei-

25 tungen angeordnet sind.

6. Integrierter Halbleiterspeicher nach Anspruch 5,

d a d u r c h g e k e n n z e i c h n e t ,

dass die CSL-Schalter (3), die MDQ-Schalter (5) und die LDQ-

30 Schalter (10) jeweils für die komplementären lokalen und

Hauptdatenleitungen als FET-Transistorpaare mit gemeinsamer Gateansteuerung angeordnet sind.

7. Verfahren zum Betrieb eines integrierten Halbleiterspei-

35 chers, insbesondere DRAM-Speichers mit in Spaltenrichtung (Y) segmentierten lokalen Datenleitungen (LDQT, LDQC) und in

Zeilenrichtung (X) laufenden Hauptdatenleitungen (MDQT, MDQC), wobei jede Hauptdatenleitung (MDQT, MDQC) allen lokalen Datenleitungen (LDQT, LDQC) eines LDQ-Segments (I, II, III) gemeinsam ist und die lokalen Datenleitungen (LDQT, LDQC) von einem CSL-Schalter (3) auf ein diesem zugeführtes Column-Select-Signal in einem Lesezyklus und einem Schreibzyklus mit einem primären Senseverstärker zum Lesen/Schreiben gespreizter Daten (DQT, DQC) verbunden werden, d a d u r c h g e k e n n z e i c h n e t , dass die lokalen Datenleitungen (LDQT, LDQC) wenigstens zweier benachbarter LDQ-Segmente während einer Prechargephase vor einem durch eine Aktivierung des CSL-Schalters mittels des Column-Select-Signals aktivierten Lesezyklus miteinander verbunden werden.

---

Zusammenfassung

Integrierter Halbleiterspeicher und Verfahren zum Betrieb desselben

5

Die Erfindung betrifft einen integrierten Halbleiterspeicher, insbesondere DRAM-Speicher mit in Spaltenrichtung (Y) segmentierten lokalen Datenleitungen (LDQT, LDQC), die von einem CSL-Schalter (3) auf ein über eine in Zeilenrichtung (X)

10

laufende CSL-Leitung (CSL) zugeführtes Column-Select-Signal mit primären Senseverstärkern zur Übergabe bzw. Übernahme gespreizter Datensignale auf bzw. von Bitleitungen des jeweiligen Segments (I, II, III) jeweils in einem Schreibzyklus und Lesezyklus verbindbar sind, wobei an den Schnittstellen

15

zwischen allen benachbarten Segmenten der lokalen Datenleitungen (LDQT, LDQC) zu ihrer Verbindung mit den lokalen Datenleitungen (LDQT, LDQC) benachbarter Segmente (I, II, III)

LDQ-Schalter (10) angeordnet sind, die abhängig von einem

jedem dieser LDQ-Schalter (10) separat zugeführten Steuersig-

20

nal (12) während einer vor jedem Lesezyklus stattfindenden Prechargephase wenigstens zweier benachbarter LDQ-Segmente geschlossen und sonst geöffnet sind, und ein Verfahren zum Betrieb eines derartigen integrierten Halbleiterspeichers.

25

(Fig. 2)

## Bezugszeichenliste

1	Senseverstärker SA
2	Secondary Senseverstärker SSA
3	CSL-Schalter
4	CSL-Treiber
5	MDQ-Schalter
6	EQL-Steuerschaltung
10	LDQ-Schalter
11	UND-Glieder
12	LDQ-Schaltersteuerleitung
13	Precharge-Steuersignale
20, 21	Zellenblöcke
22	SA-Streifen
BLT, BLC	Bitleitungen
LDQT, LDQC	lokale Datenleitungen
MDQT, MDQC	Hauptdatenleitungen
CSL	Column-Select-Leitung
V <sub>blh</sub>	volle Bitleitungsspannung
L	neue Precharge-Ladefunktion
X	Zeilenrichtung
Y	Spaltenrichtung
I, II, III	LDQ-Segmente

FIG 1

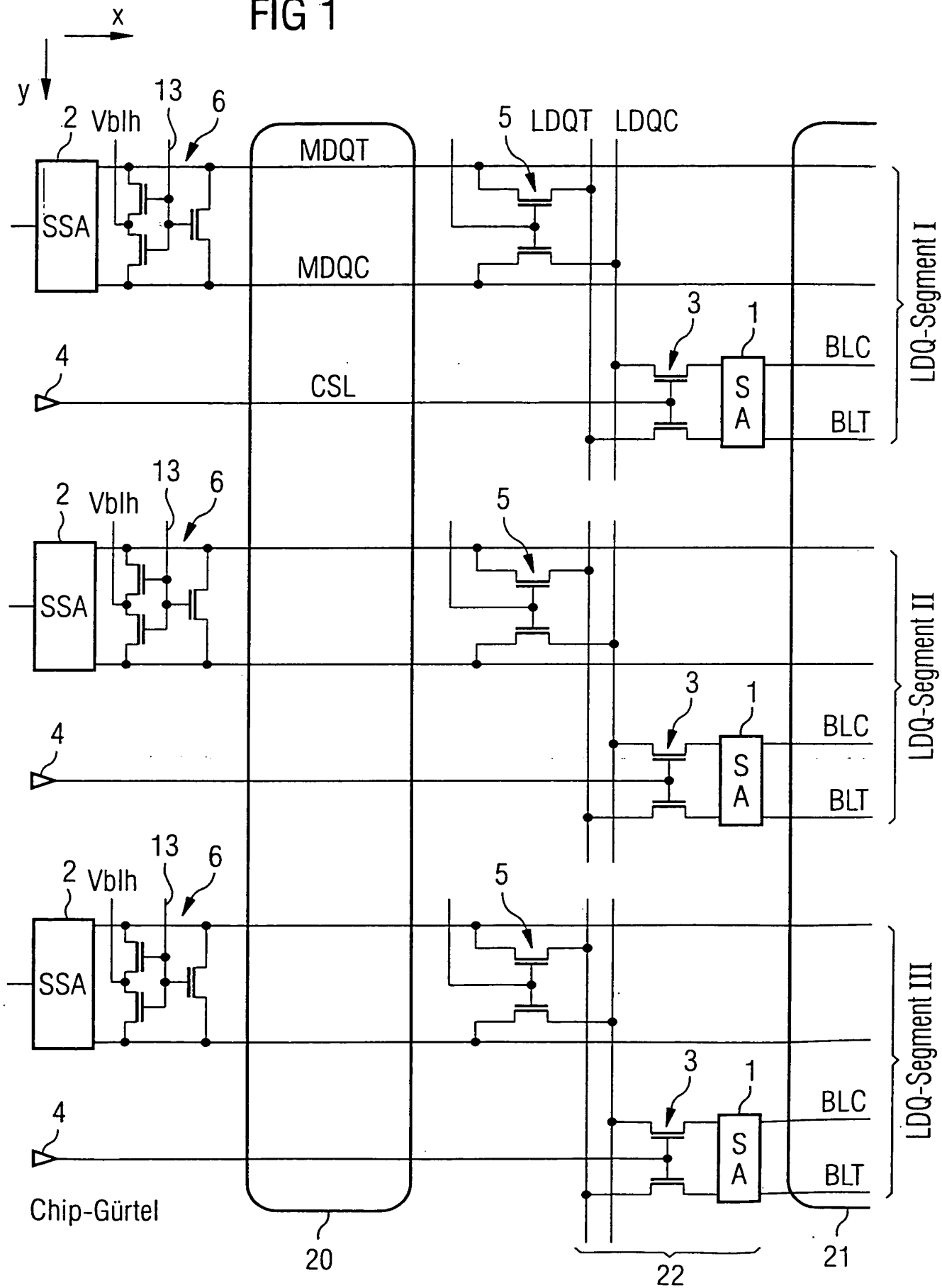




FIG 2

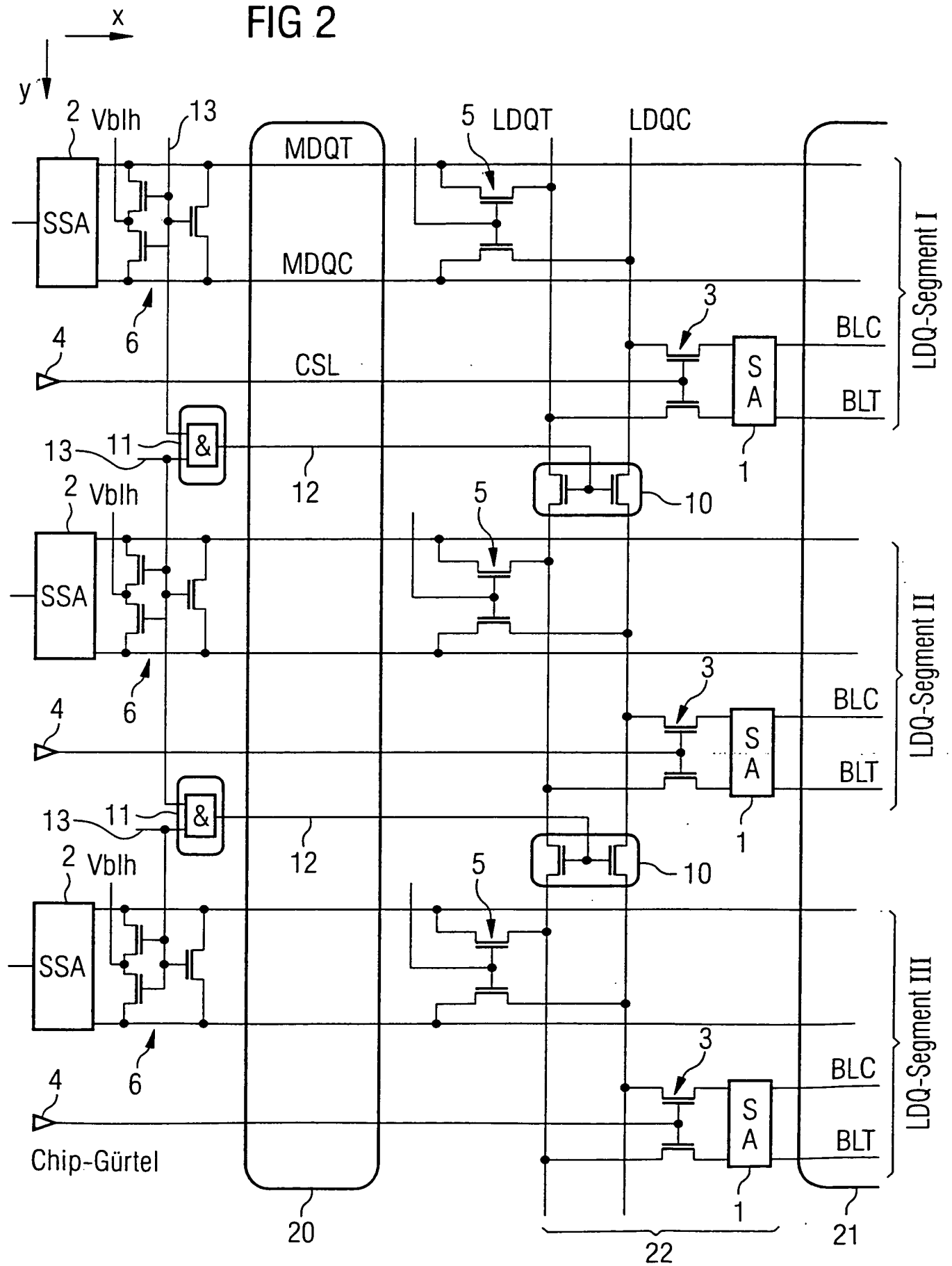


FIG 3A

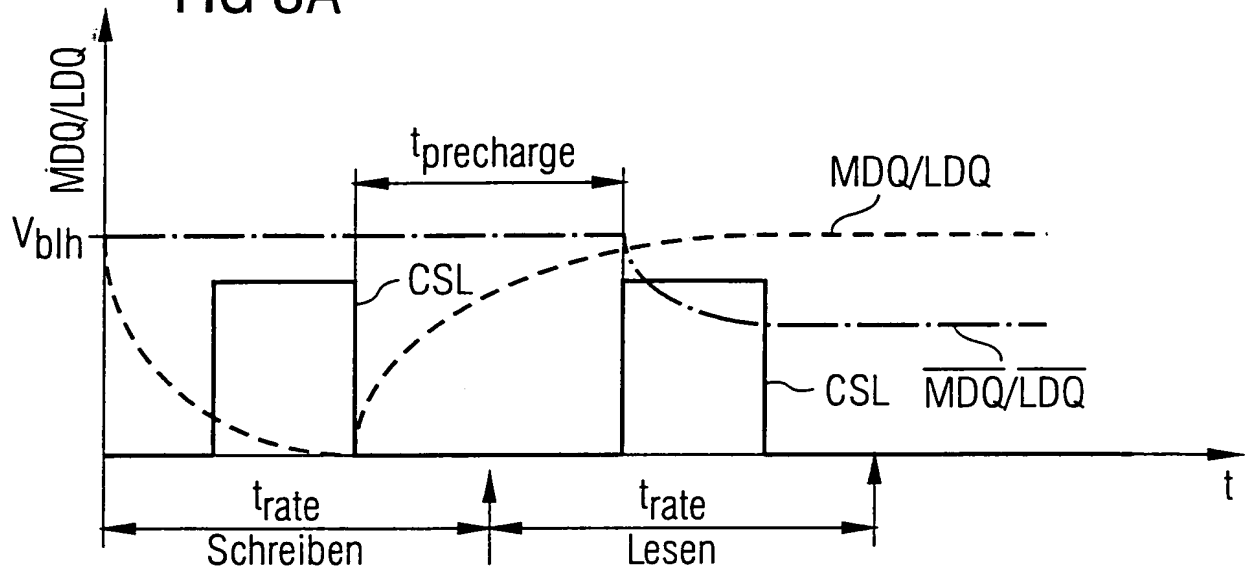
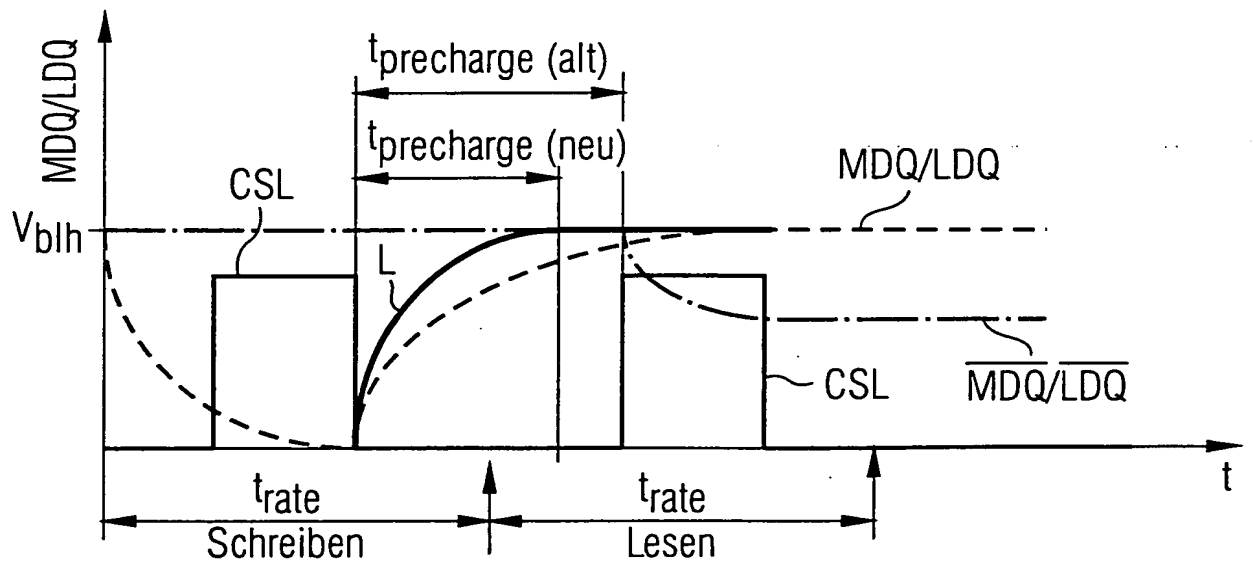


FIG 3B



Figur für die Zusammenfassung  
**FIG 2**

